

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-138962

(43)Date of publication of application : 13.06.1991

(51)Int.Cl.

H01L 21/82
H01L 21/3205
H01L 27/04

(21)Application number : 01-276849

(71)Applicant : NEC CORP

(22)Date of filing : 23.10.1989

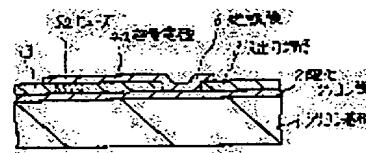
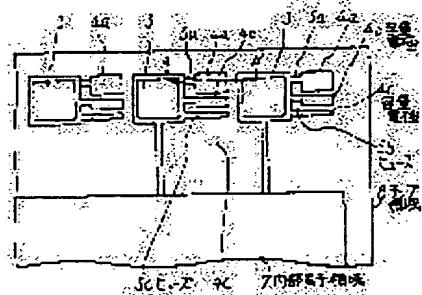
(72)Inventor : OZAWA TADASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce chip area by providing wiring or a fuse, which adjusts capacitance by selectively connecting an I/O terminal with a capacitance element or cutting the path between them.

CONSTITUTION: Wiring or fuses 5a-5c are provided, which adjust capacitance by selectively connecting an I/O terminal 3 with capacity elements 4a-4c or cutting the paths between them. If one makes a silicon oxide film 2 a dielectric as a capacitance element and providing PN junction in a silicon substrate in place of constituting it of a silicon substrate 1 and capacitance electrodes 4a-4c, since the capacitance per unit area is great, the effect is further great in area reduction. By selectively adding the capacitance element of capacitance to be added to the I/O terminal of a signal to the I/O terminal by fuse cut or upper layer wiring this way, the interval between the I/O terminal and an inner element region can be made small, and the chip area can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-138962

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月13日

H 01 L 21/82
21/3205
27/04

V
C

7514-5F
7514-5F
8225-5F
6810-5F

H 01 L 21/82
21/88

S

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑰ 特 願 平1-276849

⑱ 出 願 平1(1989)10月23日

⑲ 発 明 者 小 沢 正 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

半導体基板上に設けた内部素子領域と、前記内部素子領域に接続して設けた入出力端子とを有する半導体集積回路において、前記入出力端子に隣接して設けた容量素子と、前記入出力端子と前記容量素子との間を選択的に接続又は切断して入出力端子に付加する静電容量を調整する配線又はヒューズとを備えたことを特徴とする半導体集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路に関し、特に信号の入出力端子を有する半導体集積回路に関する。

(従来の技術)

従来の半導体集積回路は、第2図に示すように、チップ領域8に設けた内部素子領域7と、チップ領域8の周縁部に設けた入出力端子3と、内部素子領域7と入出力端子3との間を接続し、且つクランク形にバターニングして設けた遅延素子9を備えて構成されている。

(発明が解決しようとする課題)

上述した従来の半導体集積回路は、入出力信号を遅延させる場合、信号入出力端子は同一形状であり、容量も同一なので、容量付加のために内部に接続される信号線の線長を故意に長くして実現しておりこのためチップ面積の増大を招くという欠点がある。

(課題を解決するための手段)

本発明の半導体集積回路は、半導体基板上に設けた内部素子領域と、前記内部素子領域に接続して設けた入出力端子とを有する半導体集積回路において、前記入出力端子に隣接して設けた容量素子と、前記入出力端子と前記容量素子との間を選択的に接続又は切断して入出力端子に付加する静

電容量を調整する配線又はヒューズとを備えている。

(実施例)

第1図(a)、(b)は本発明の一実施例の平面図及びA-A'線断面拡大図である。

第1図(a)、(b)に示すように、内部素子領域7を設けたシリコン基板1のチップ領域8の周縁部に設けた酸化シリコン膜2の上に内部素子領域7の回路に接続して設けた入出力端子3と、入出力端子3に隣接して設けてそれぞれ異なる静電容量を有する容量素子を構成する複数の容量電極4a、4b、4cと、入出力端子3と容量電極4a、4b、4cのそれぞれに接続するヒューズ5a、5b、5cと、入出力端子3の中央部以外を被覆して設けた絶縁膜6から構成される。

次に、製法を説明する。

シリコン基板1上に内部素子領域7を形成し、厚さ0.2～0.5 μ m程度の酸化シリコン膜2を形成する。次に、酸化シリコン膜2の上にアルミニウム層を堆積して選択的にエッチングし、80

μ m \times 80 μ m程度の面積を有する信号入出力端子3と面積の異なる容量電極4a、4b、4cと、入出力端子3と容量電極4a、4b、4cを接続するためのヒューズ5a、5b、5cを形成する。その後表面保護膜として厚さ0.5 μ m程度の絶縁膜6を選択的に形成する。

ここで、容量素子として酸化シリコン膜2を誘電体としシリコン基板1と容量電極4a、4b、4cで構成する代りにシリコン基板にPN接合を設けた容量素子でもよい。この場合には、PN接合の単位面積当りの容量が大きいので面積低減では非常に効果大きい。

なお、ヒューズ5a、5b、5cのいずれかを切断して所望の容量素子の容量電極を選択する代りに所望の静電容量を有する容量素子の容量電極と入出力端子間を選択的に設けた上層の配線層で接続しても良い。

(発明の効果)

以上説明したように本発明は、信号の入出力端子に付加すべき静電容量の容量素子をヒューズ切

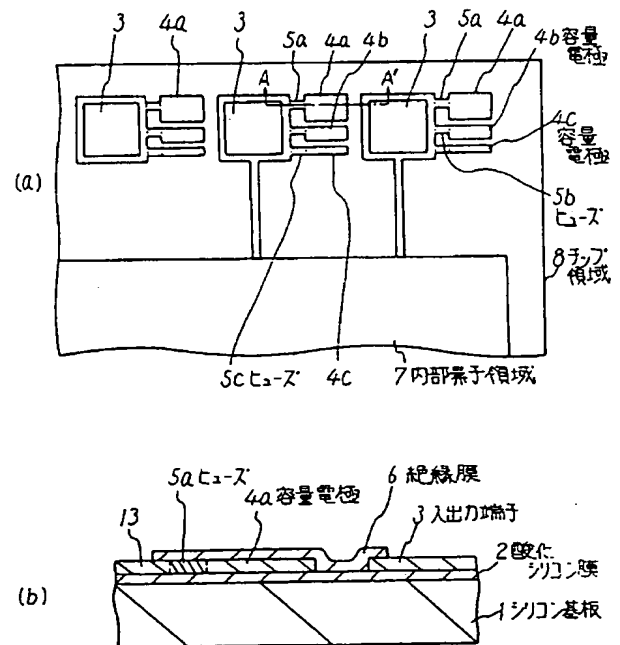
断又は上層配線により選択的に入出力端子に付加することにより入出力端子と内部素子領域との間を小さくしてチップ面積を縮減できるという効果を有する。

また、信号の受信側負荷の大小により信号間のスキューを調整するための遅延素子としての容量素子を入出力端子を形成した後の工程で選択的に付加できるという効果を有する。

図面の簡単な説明

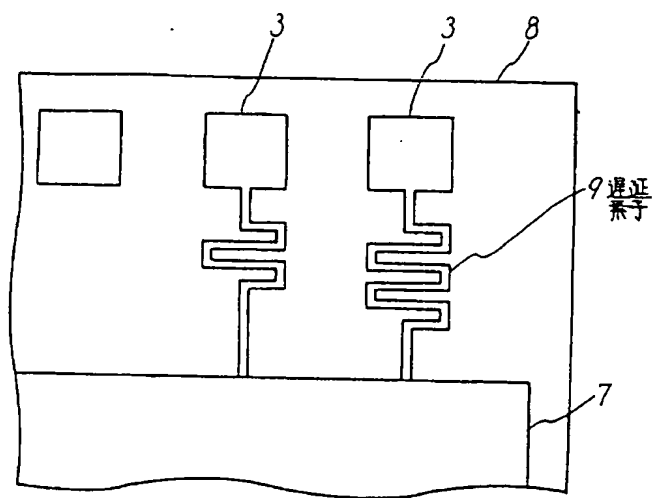
第1図(a)、(b)は本発明の一実施例の平面図及びA-A'線断面拡大図、第2図は従来の半導体集積回路の平面図である。

1…シリコン基板、2…酸化シリコン膜、3…入出力端子、4a、4b、4c…容量電極、5a、5b、5c…ヒューズ、6…絶縁膜、7…内部素子領域、8…チップ領域。



第 1 図

代理人 井理士 内 原 晋



第 2 図